

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ
РОССИЙСКИЙ ФОНД ФУНДАМЕНТАЛЬНЫХ ИССЛЕДОВАНИЙ
НАНОТЕХНОЛОГИЧЕСКОЕ ОБЩЕСТВО РОССИИ
КАБАРДИНО-БАЛКАРСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

**МИКРО- И НАНОТЕХНОЛОГИИ
В ЭЛЕКТРОНИКЕ**

**Материалы VIII Международной
научно-технической конференции**

30 мая – 4 июня 2016 г.

НАЛЬЧИК 2016

УДК 621: 531.91
ББК 31.21
М 33

Редакционная коллегия

А. М. Кармоков (ответственный редактор)
О. А. Молоканов (ответственный секретарь)

Микро- и нанотехнологии в электронике. Материалы VIII Международной научно-технической конференции — Нальчик: Каб.-Балк. ун-т., 2016. — 442 с.

Публикуются материалы докладов, представленных на VIII Международной научно-технической конференции «Микро- и нанотехнологии в электронике», проходившей в Эльбрусском учебно-научном комплексе Кабардино-Балкарского государственного университета 30 мая – 4 июня 2016 г.

Материалы докладов даны в авторской редакции.

ISBN 978-5-93680-959-0

ОТКАЗОУСТОЙЧИВЫЕ ФУНКЦИОНАЛЬНО-ДИФФЕРЕНЦИАЛЬНЫЕ АРХИТЕКТУРЫ В СИСТЕМАХ НА БАЗЕ ПЛИС КЛАССА FPGA

Савкин Л.В.

В работе с целью обеспечения отказоустойчивости регенеративных электронных систем, строящихся на базе программируемых логических интегральных схем класса FPGA, предложено использовать однородное вычислительное поле, состоящее из функционально-дифференциальных архитектур. Представлена структурная схема функционально-дифференциальной архитектуры, имеющая в своем составе контролируемую по методу булевых производных аппаратную архитектуру. Рассмотрены общие принципы функционирования каналов цифровой обработки информации регенеративной электронной системы, построенной на функционально-дифференциальных архитектурах.

В работе [5] были предложены и подробно рассмотрены несколько общих подходов по аппаратно-программному построению регенеративных электронных систем (РегЭС), характеризующихся возможностью резервирования аппаратных архитектур единого реконфигурируемого вычислительного поля (РВП) [1, 2] на уровне конфигурируемых логических блоков программируемых логических интегральных схем класса FPGA [4]. Там же было показано, что ключевую роль в организации того или иного типа отказоустойчивых архитектур РегЭС часто играет выбор способа низкоуровневого контроля и диагностики выделенных фрагментов РВП.

С целью исследования эффективных способов реализации функциональных и контролирующих фрагментов РВП РегЭС в данной работе предлагается построение самоконтролируемых функционально-дифференциальных архитектур (ФДА), представляющих собой парные функционально-контролирующие архитектуры. Обеспечение отказоустойчивости РегЭС за счет использования ФДА базируется на идее тестирования функциональных каналов цифровой обработки информации по методу булевых производных [3].

Основополагающий для данной работы метод булевых производных является одним из эффективных методов тестирования комбинационных логико-арифметических схем. Большим достоинством данного метода является возможность распространения теста и для внутренних переменных булевой функции [3], что при практической реализации, безусловно, требует доступа к некоторому набору контрольных точек контролируемой архитектуры или фрагмента вычислительной системы. При этом во многих случаях можно найти минимальное число контролируемых параметров (обратная задача диагностики комбинационной схемы) и соответствующих

им контрольных точек, обеспечивающих максимальную глубину локализации неисправности.

На рис. 1 представлена структурная схема предлагаемой ФДА РВП РегЭС, состоящая из трех основных элементов: функционального канала, дифференциальной архитектуры и логического элемента «ИЛИ» с n входами и одним выходом.

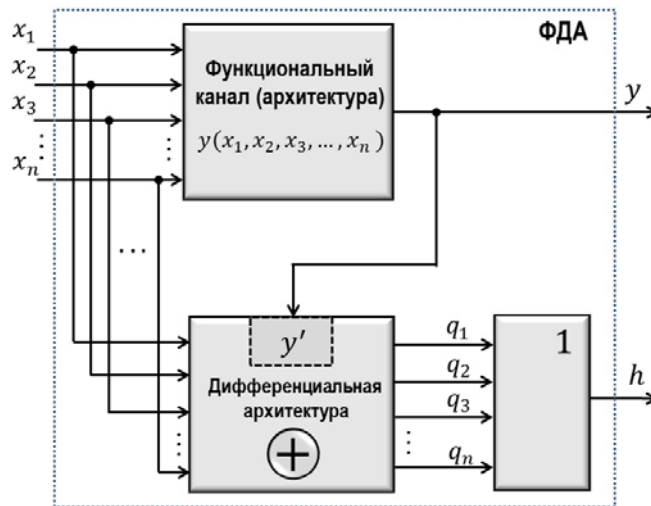


Рис. 1. Функционально-дифференциальная архитектура РВП РегЭС

Функциональный канал (или архитектура) представляет собой выделенный фрагмент РВП РегЭС аппаратным образом реализующий булеву функцию вида

$$y = y(x) = y(x_1, x_2, x_3, \dots, x_n),$$

где $x_i, i = \overline{1, n}$ – двоичная переменная на входе i -го канала функциональной архитектуры РВП.

Булеву производную функции $y(x)$ по переменной x_i можно представить в виде выражения

$$y'(x_i) = \frac{dy(x_i)}{x_i} = y(x_i) \oplus y(\overline{x_i}) \equiv y(x_i = 0) \oplus y(x_i = 1), \quad (1)$$

которое, в соответствии с определением булевой производной [3] позволяет найти те значения переменных $x_1, x_2, x_3, \dots, x_n$ (все кроме x_i), при которых изменение значения x_i будет приводить к изменению значения функции $y(x)$.

На дифференциальной архитектуре реализуется индикаторная функция вида

$$q_i = q(x_i) = x_i \times \frac{dy(x_i)}{x_i} = \begin{cases} 0, & i\text{-й канал испр.}, \\ 1, & i\text{-й канал неисправ.} \end{cases} \quad (2)$$

Как показано на рис. 1, на дифференциальной архитектуре помимо выражения (2), также вычисляется и булева производная по двоичной переменной x_i , т.е. реализуется выражение (1).

Функция исправного состояния функциональной архитектуры h определяется исходя из равенства нулю выражения

$$h = h(q) = q_1 \vee q_2 \vee q_3 \vee \dots \vee q_n = \bigvee_{i=1}^n q_i. \quad (3)$$

Для организации, к примеру, мажоритарного резервирования ФДА, может быть задействована структура РВП, изображенная на рис. 2.

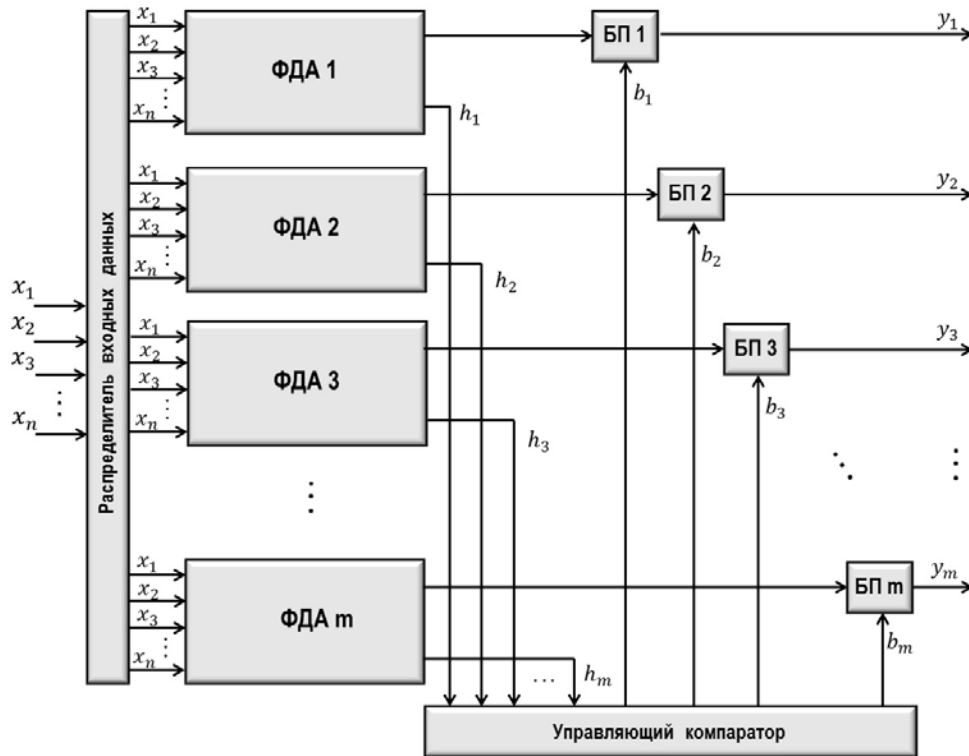


Рис. 2. Управление ФДА с помощью внешнего компаратора

Из представленного рисунка видно, что данные о значениях функций состояния функциональных архитектур, описываемые выражением (3), поступают в управляющий компаратор, на основе которого для каждого из ФДА формируется команда блокировки данных

$$b_j = f_{\text{упр.}}(h_j) = f(h_1, h_2, h_3, \dots, h_m), j = \overline{1, m}, \quad (4)$$

передающаяся по независимой линии связи в соответствующие блоки резервирования (БП 1, БП 2, БП 3, БП m) выходных данных ФДА $y(x)$.

Здесь необходимо отметить, что в некоторых случаях, связанных например, с обработкой на базе ФДА предварительно подготовленных потоков данных от различного рода аналогово-цифровых устройств, можно обойтись и без задействования в РВП фрагмента, реализующего управляющий компаратор. В этом случае зависимость (4) примет значение

$$b_j = h_j,$$

что, в свою очередь, в значительной степени упростит архитектуру РВП и тем самым повысит надежность РегЭС в целом. Пример такого варианта структурной организации РВП с квазиавтономными ФДА представлен на рис. 3.

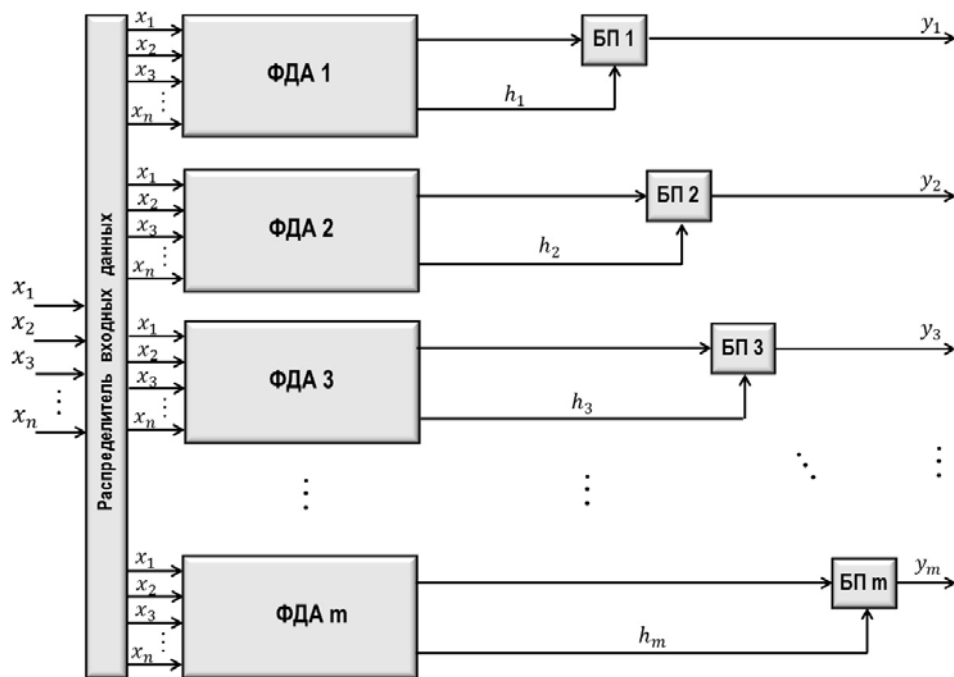


Рис. 3. Квазиавтономные ФДА РВП РегЭС

Из данного рисунка видно, что команды блокировки данных, поступающие от ФДА, формируются в них самих. При этом вполне очевидно, что выделенный фрагмент РВП, реализующий блоки прерывания, можно включить в непосредственный состав ФДА. В рамках рассматриваемого примера, необходимо также отметить, что данная схема уже не является схемой мажоритарного резервирования в традиционном смысле, поскольку арбитражное устройство, реализующее управление и распределение данными $y_j, j = \overline{1, m}$ сразу от нескольких независимых ФДА здесь отсутствует.

Выводы. В качестве одного из возможных способов организации отказоустойчивых архитектур РВП РегЭС предложено построение самоконтролируемых ФДА, содержащих в своем составе функциональную и контролируемую архитектуры. Рассмотрены два варианта структурной организации РВП на базе ФДА, один из которых содержит управляющий коммутатор, реализуя тем самым мажоритарный орган, а другой представляет собой РВП с квазиавтономными ФДА.

Литература

1. Каляев И.А., Левин И.И., Семерников Е.А., Шмойлов В.И. Реконфигурируемые мультиконвейерные вычислительные структуры / Изд. 2-е, перераб. и доп. / Под общ. Ред. И.А. Каляева. - Ростов-на-Дону: Изд-во ЮНЦ РАН, 2009. – 344 с.
2. Hauck S. Reconfigurable computing. The theory and practice of FPGA-based computation. Morgan Kaufmann Publ., 2007. – 944 p.
3. Малышенко Ю.В. Техническая диагностика (конспект лекций), часть I. Электронный ресурс. URL:

http://abc.vvsu.ru/Books/Teh_diag/page0009.asp (дата обращения: 23.04.2016).

4. Уваров С.С. Проектирование реконфигурируемых отказоустойчивых систем на ПЛИС с резервированием на уровне ячеек. Автоматика и телемеханика, №9, 2007, с. 176-189.
5. Савкин Л.В. Регенеративные электронные системы в космических системах и комплексах. Вестник кибернетики, №2 (18), 2015, с. 3-32.

FAULT-TOLERANT FUNCTIONAL AND DIFFERENTIAL ARCHITECTURE IN THE FPGA-BASED SYSTEMS

Savkin L.V.

PSC «Radiofizika», Moscow

In operation for the purpose of support of the regenerative electronic systems fail safety which are built on the basis of programmable logic integrated circuits FPGA class is offered to use the uniform computing field consisting of functional and differential architecture. The skeleton diagram of functional and differential architecture incorporating the hardware architecture controlling by a method of Boolean derivatives is provided. The general principles of operation of the digital information processing channels in the regenerative electronic system constructed on functional and differential architecture are considered.